

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-060053

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H01L 21/822  
H01L 21/8242  
H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 27/04  
H01L 27/10  
H01L 27/108

(21)Application number : 2001-243949

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.08.2001

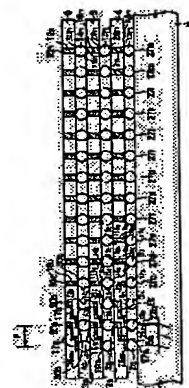
(72)Inventor : KAI MUTSUAKI

(54) SEMICONDUCTOR CHIP, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE COMPRISING IT AND METHOD FOR SELECTING SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip being mounted in layers on a substrate and a semiconductor integrated circuit device comprising it in which a specific chip can be selected by an external chip select signal even if the semiconductor chips are laid in a plurality of layers in the same wiring pattern.

SOLUTION: The semiconductor chip comprises a plurality of first electrode terminals 28a and 28b arranged on the surface at a specified pitch and receiving a reference signal for generating a comparison signal being compared with a chip select signal at a comparison circuit, a plurality of second electrode terminals 28a' and 28b' arranged on the rear surface opposing the surface while being shifted by one pitch from the plurality of first electrode terminals 28a and 28b, and connecting parts 8a and 8b for electrically connecting the first and second electrode terminals shifted by one pitch from each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] Two or more 1st electrode terminals which the reference signal for generating the comparison signal which is arranged on a front face and compared with the chip selection signal for chip selects in a comparator circuit in a predetermined pitch inputs, Two or more 2nd electrode terminals which output said reference signal which has been arranged at the rear face which shifts by one pitch to said two or more 1st electrode terminals, respectively, and counters said front face, and was inputted into said 1st electrode terminal, The semiconductor chip characterized by having the connection which connects electrically between the said deviated 1st-by said one pitch, and 2nd electrode terminals.

[Claim 2] It is the semiconductor chip characterized by said connection having the stair-like cross-section configuration in a semiconductor chip according to claim 1.

[Claim 3] It is the semiconductor chip which has further the electrode terminal for chip selection signals which said chip selection signal inputs in a semiconductor chip according to claim 1 or 2, and is characterized by carrying out same number formation of said electrode terminal for chip selection signals with the number of terminals of said 1st electrode terminal.

[Claim 4] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment which has the same circuit pattern and has the chip connection member which connects electrically between the electrode terminals by which stick two or more semiconductor chips by which the laminating was carried out on the substrate, and said substrate and said two or more semiconductor chips, and opposite arrangement is carried out, and is characterized by said semiconductor chip being a semiconductor chip given in claim 1 thru/or any 1 term of 3.

[Claim 5] It is semiconductor integrated circuit equipment characterized by said chip connection member being a bump in semiconductor integrated circuit equipment according to claim 4.

[Claim 6] The substrate which has two or more 3rd electrode terminals which output the reference signal for generating the comparison signal compared in the chip selection signal and comparator circuit for chip selects, While having the same circuit pattern, being arranged at two or more semiconductor chips by which the laminating was carried out on the substrate, and said two or more semiconductor chips and sticking said two or more 4th electrode terminals for a reference signal input, and said substrate and said two or more semiconductor chips Semiconductor integrated circuit equipment characterized by having the chip connection member arranged so that the number of connection terminals of the 4th electrode terminal electrically connected to said 3rd electrode terminal may decrease in order of a laminating.

[Claim 7] It is semiconductor integrated circuit equipment characterized by said number of connection terminals decreasing one [ at a time ] in order of a laminating in semiconductor integrated circuit equipment according to claim 6.

[Claim 8] It is semiconductor integrated circuit equipment which said substrate has further the electrode terminal for chip selection signals which outputs said chip selection signal in semiconductor integrated circuit equipment according to claim 6 or 7, and is characterized by carrying out same number formation of said electrode terminal for chip selection signals with the number of terminals of said 3rd electrode terminal.

[Claim 9] It is semiconductor integrated circuit equipment characterized by said chip connection member being a bump in semiconductor integrated circuit equipment given in claim 6 thru/or any 1 term of 8.

[Claim 10] The semiconductor chip selection approach characterized by choosing either of said two or more semiconductor chips based on the comparison signal which outputted the chip selection signal to two or more semiconductor chips by which have the same circuit pattern and the laminating was carried out on the substrate, and was generated for said every semiconductor chip, and said chip selection signal.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Field of the Invention]** This invention relates to the semiconductor integrated circuit equipment and the semiconductor chip selection approach using the semiconductor chip and it by which a laminating is carried out on a substrate.

**[0002]**

**[Description of the Prior Art]** In recent years, high integration and SOC(System-On-Chip)-izing of a semiconductor integrated circuit are advanced, and multichip-ization which carries out the laminating of two or more semiconductor chips, especially using chip mounting technology is progressing. There is a super connection technique which arranges two or more electrode terminals on a semiconductor chip front face, carries out the laminating of the semiconductor chip to it, and connects between each chip to it with an electrode terminal as one of the chip mounting approaches which realizes multichip-ization. Research is advanced towards utilization and the super connection technique is expected as a next-generation technique. For example, the high-density memory of high storage capacity comes to be obtained by carrying out two or more laminatings of the semiconductor chip with which the memory circuit was formed using a super connection technique.

**[0003]**

**[Problem(s) to be Solved by the Invention]** Generally, the high memory-capacity memory formed using the super connection technique has the structure where two or more laminatings of the semiconductor chip with the same circuit pattern including arrangement of an electrode terminal or a circuit element were carried out through the bump. When two or more laminatings of the semiconductor chip are carried out, the signal for the chip selects for choosing the chip of operation which performs writing and read-out of data is needed. However, if it has the circuit pattern with the same semiconductor chip by which a laminating is carried out, since all the locations of the electrode terminal which the signal for chip selects inputs will be in agreement and the same signal for chip selects will be inputted into each semiconductor chip, the problem that a chip of operation cannot be chosen arises.

[0004] The following two approaches can be considered to avoid the above-mentioned problem. By the 1st approach, two or more semiconductor chips which shifted the electrode terminal which the signal for chip selects inputs, respectively are manufactured using two or more masks for exposure with which circuit patterns differ in a photolithography process. And the laminating of these semiconductor chips is carried out through a bump on a substrate, and a chip of operation can be chosen now by outputting a selection signal to the electrode terminal for the chip selection signal input of each semiconductor chip one by one from a substrate. After [ same ] carrying out circuit pattern formation, the 2nd approach irradiates a laser beam at some circuit patterns of each semiconductor chip, and manufactures two or more semiconductor chips with which the electrode terminal which the signal for chip selects inputs shifted, respectively. And the laminating of these semiconductor chips is carried out through a bump on a substrate, and a chip of operation can be chosen now by outputting a selection signal to the electrode terminal for the chip selection signal input of each semiconductor chip one by one from a substrate. However, by the 1st approach, while two or more circuit designs will be needed, two or more expensive masks for exposure must be prepared, and the problem that a photolithography process will increase arises. Moreover, by the 2nd approach, the process which cuts a circuit pattern by laser beam exposure will newly be needed. For this reason, it has the problem that a production process will increase any approach and a manufacturing cost will become high.

[0005] Even if two or more laminatings of the purpose of this invention are carried out with the same circuit pattern, it is to offer the semiconductor chip with which a chip select predetermined with the chip selection signal from the outside becomes possible, the semiconductor integrated circuit equipment using it, and the semiconductor chip selection approach.

[0006]

[Means for Solving the Problem] Two or more 1st electrode terminals which the reference signal for generating the comparison signal which the above-mentioned purpose is arranged on a front face in a predetermined pitch, and is compared with the chip selection signal for chip selects in a comparator circuit inputs. Two or more 2nd electrode terminals which output said reference signal which has been arranged at the rear face which shifts by one pitch to said two or more 1st electrode terminals, respectively, and counters said front face, and was inputted into said 1st electrode terminal. It is attained by the semiconductor chip characterized by having the connection which connects electrically between the said deviated 1st-by said one pitch, and 2nd electrode terminals.

[0007]

[Embodiment of the Invention] The semiconductor integrated circuit equipment and the semiconductor chip selection approach using the semiconductor chip and it by the gestalt of operation of the 1st of this invention are explained using drawing 1 thru/or drawing 4. Drawing 1 is the sectional view showing the outline configuration of the semiconductor integrated circuit equipment by the gestalt of this operation. As shown in drawing 1, on the substrate 2, the laminating of the three semiconductor chips 4, 5, and 6 is carried out to this order. The semiconductor integrated circuit equipment by the gestalt of this operation shall take for an example DRAM (Dynamic Random Access Memory) which has three banks, and semiconductor chips 4, 5, and 6 shall constitute the bank, respectively. Moreover, although two or more electrode terminals are arranged in the vertical side of semiconductor integrated circuit equipment at the shape of a matrix, drawing 1 and the illustration after this show the cross section in alignment with one predetermined line or one predetermined train of two or more electrode terminals.

[0008] Drawing 2 is the conceptual diagram showing typically the circuitry of the principal part of each semiconductor chips 4, 5, and 6. As shown in drawing 2, each semiconductor chips 4, 5, and 6 have the memory cell section 52. Two or more memory cells 58 (drawing 2 shows one) which consisted of the transistors 60 and capacitors 62 for the transfer gates are formed in the memory cell section 52 in the shape of a matrix. Moreover, between each memory cell 58, two or more word lines 54 (drawing 2 shows one) prolonged in the line writing direction (longitudinal direction in drawing) and two or more bit lines 56 (drawing 2 shows one) prolonged in the direction of a train (drawing Nakagami down) are formed. The

gate electrode of the transistor 60 of each memory cell 58 located in a line with the same line writing direction is connected to the same word line 54, and the drain electrode of the transistor 60 of each memory cell 58 located in a line in the direction of the same train is connected to the same bit line 56. [0009] Two or more word lines 54 are driven by the line (low) decoder 64. Moreover, two or more train selection lines which control the train (column) gate between a bit line 56 and a data bus are driven by the column decoder 66. Both the decoders 64 and 66 are controlled by the input/output control circuit 68.

[0010] To the left in drawing of return and substrate 2 front face, electrode terminals 27a and 27b are arranged at the predetermined spacing (pitch) P at drawing 1. Electrode terminals 27c and 27d are arranged in this order at the method of the right of electrode terminal 27b. Electrode terminals 27c and 27d are terminals with which the chip selection signal used in order to choose a predetermined chip of operation from two or more semiconductor chips 4, 5, and 6 is outputted. In case electrode terminals 27a and 27b choose a predetermined chip of operation, they are electrode terminals which supply the reference signal for generating the comparison signal compared with a chip selection signal in the comparator circuit explained later, and are connected to the gland. That is, in this example, electrode terminals 27a and 27b supply the reference signal of ground potential to semiconductor chips 4, 5, and 6.

[0011] Two or more electrode terminals 27e-27n are arranged in this order at the method of the right of 27d of electrode terminals. From electrode terminals 27e-27n, the address signal for example, in each bank, a clock signal, a clock enable signal, various command signals, a predetermined data signal that are used by the memory circuit in addition to this, etc. are outputted to each semiconductor chips 4, 5, and 6. Electrode terminal 27b and electrode terminal 27c have the gap of 2P, and are arranged. Electrode terminals 27c-27n are arranged for example, in the pitch P.

[0012] In the case of the laminated structure of three semiconductor chips 4, 5, and 6 as shown in the gestalt of this operation, two are sufficient for the number of terminals of the electrode terminals 27a and 27b for reference signals. What is necessary is just to prepare the electrode terminal for reference signals of the number of terminals with one laminating, in taking a more multilayer laminated structure. Moreover, the same number of the electrode terminals [for chip selection signals / 27c and 27d] number of terminals is carried out to the number of terminals of the electrode terminals 27a and 27b for reference signals. Therefore, it is necessary to also increase the number of the electrode terminals for chip selection signals by the increment of the electrode terminal for reference signals by the increment in the number of laminatings of a semiconductor chip, and the same number.

[0013] On the substrate 2, the laminating of the semiconductor chip 4 by the gestalt of this operation is carried out. In the front face (the method side of drawing Nakashita is pointed out in this example) of a semiconductor chip 4, the electrode terminals 28a and 28b for reference signals are arranged in the pitch P at the left in drawing. The electrode terminals 28c and 28d for chip selection signals (the 1st electrode terminal) are arranged in this order at the method of the right of electrode terminal 28b. Electrode terminals 28e-28n are arranged in this order at the method of the right of 28d of electrode terminals. Electrode terminals 28a-28n are arranged so that the electrode terminals 27a-27n of a substrate 2 may be countered, respectively. A semiconductor chip 4 is stuck with a substrate 2 through two or more bumps 12a-12n who are chip connection members. Thereby, the electrode terminals 28a-28n of a semiconductor chip 4 and the electrode terminals 27a-27n of a substrate 2 are connected electrically, respectively. At this time, electrode terminal 28a for reference signals is connected to a gland through bump 12a, and electrode terminal 28b for reference signals is connected to a gland through bump 12b.

[0014] In the rear face (method of drawing Nakagami) of a semiconductor chip 4, electrode terminal 28a' - 28n' is arranged. To the electrode terminals 28a and 28b for surface reference signals, electrode terminal (2nd electrode terminal) 28a' which is an object for reference signals, and 28b' shift to the method of drawing Nakamigi by one pitch, and are arranged. Therefore, electrode terminal 28a' is arranged not at surface electrode terminal 28a but at the rear face which counters 1 pitch gap

\*\*\*\*\* 28b from it. Electrode terminal 28a' is electrically connected to electrode terminal 28a through connection 8a. Electrode terminal 28b' is electrically connected to electrode terminal 28b through connection 8b. a connection — eight — a — eight — b — one — a pitch — a part — shifting — arranging — having had — an electrode terminal — 28 — a — ' — 28 — b — ' — an electrode terminal — 28 — a — 28 — b — between — respectively — connecting — as — the connection with a stair-like cross section — it has the conductor.

[0015] Electrode terminal 28c' for chip selection signals is electrically connected to electrode terminal 28c through connection 9c, and 28d [ of electrode terminals ]' is electrically connected to 28d of electrode terminals through 9d of connections. Similarly, electrode terminal 28e' — 28n' is electrically connected to electrode terminals 28e—28n through Connections 9e—9n, respectively. the connection where Connections 9c—9n were embedded in the beer hall which has penetrated the semiconductor chip 4 almost at right angles to semiconductor chip 4 front face, and the beer hall concerned — it consists of conductors.

[0016] The semiconductor chip 5 by which the laminating was carried out on the semiconductor chip 4 has the same configuration as a semiconductor chip 4. In the front face of a semiconductor chip 5, electrode terminals 29a—29n are arranged in the same array as the electrode terminals 28a—28n of semiconductor chip 4 front face. In the rear face of a semiconductor chip 5, electrode terminal 29a' — 29n' is arranged in the same array as electrode terminal 28a' of semiconductor chip 4 rear face — 28n'. A semiconductor chip 5 and a semiconductor chip 4 are stuck through two or more bumps 13a—13n. Thereby, electrode terminal 29b of semiconductor chip 5 front face and electrode terminal 28a' of semiconductor chip 4 rear face are electrically connected through bump 13b. Similarly, the electrode terminals 29c—29n of semiconductor chip 5 front face, and electrode terminal 28c' of semiconductor chip 4 rear face — 28n' are electrically connected through Bumps 13c—13n, respectively. this — the time — a semiconductor chip — five — a front face — a reference signal — \*\* — an electrode terminal — 29 — a — a gland — connecting — having had — an electrode terminal — 28 — a — ' — 28 — b — ' — any — \*\*\*\*\* — connecting — not having — a sake — a reference signal — \*\* — an electrode terminal — 29 — b — a bump — 13 — b — a connection — eight — a — and — a bump — 12 — a — — minding — a gland — connecting — having .

[0017] Moreover, the semiconductor chip 6 by which the laminating was carried out on the semiconductor chip 5 has the same configuration as semiconductor chips 4 and 5. In the front face of a semiconductor chip 6, electrode terminals 30a—30n are arranged in the same array as the electrode terminals 28a—28n of semiconductor chip 4 front face, and the electrode terminals 29a—29n' of semiconductor chip 5 front face. In the rear face of a semiconductor chip 6, electrode terminal 30a' — 30n' is arranged in the same array as electrode terminal 28a'—28n' of semiconductor chip 4 rear face and electrode terminal 29a' of semiconductor chip 5 rear face — 29n'. A semiconductor chip 6 and a semiconductor chip 5 are stuck through two or more bumps 14a—14n. Thereby, electrode terminal 30b of semiconductor chip 6 front face and electrode terminal 29a' of semiconductor chip 5 rear face are connected electrically. Similarly, the electrode terminals 30c—30n of semiconductor chip 6 front face, and electrode terminal 29c' of semiconductor chip 5 rear face — 29n' are connected electrically, respectively. Since it does not connect with electrode terminal 29b' by which the electrode terminals 30a and 30b for the reference signals of semiconductor chip 6 front face were connected to the gland at this time, neither of electrode terminals 30a and 30b are connected to a gland.

[0018] Electrode terminal 28b' of semiconductor chip 4 rear face is the connectionless terminal with which the electrode terminal connected to the semiconductor chip 5 arranged face to face at the electrode terminal 28b' concerned is not arranged. Similarly, electrode terminal 29b' of semiconductor chip 5 rear face, electrode terminal 29a of semiconductor chip 5 front face, and electrode terminal 30a of semiconductor chip 6 front face are the connectionless terminal with which the electrode terminal which counters is not arranged.

[0019] Drawing 3 is the sectional view which expanded some semiconductor chips 4 shown in drawing 1 ,

reverses the upper and lower sides to arrangement of the semiconductor chip 4 shown in drawing 1 , and is shown. drawing 3 — a semiconductor chip — four — a part — \*\*\*\*\* — a reference signal — \*\* — an electrode terminal — 28 — a — 28 — b — 28 — a — ' — 28 — b — ' — and — a connection — eight — a — eight — b — a configuration — being shown — \*\*\*\* . As shown in drawing 3 , the insulator layer 22 is formed on the silicon (Si) substrate 20 of n mold. Two beer halls 24a and 24b which penetrate the Si substrate 20 and an insulator layer 22 are formed in the Si substrate 20 and the insulator layer 22 in the pitch P. the inside of beer hall 24a and 24b — copper (Cu) connection — the conductor is embedded. the connection in beer hall 24a — the exposure by the side of the rear face of the Si substrate 20 (method of drawing Nakashita) becomes electrode terminal 28a' among conductors. the same — the connection in beer hall 24b — the exposure by the side of the rear face of the Si substrate 20 becomes electrode terminal 28b' among conductors. In addition, you may make it prepare electrode terminal 28a' and the pad for bump connection in 28b'.

[0020] On the insulator layer 22, the wiring 26a and 26b which consists of aluminum (aluminum), Cu, etc. is formed. wiring 26a — an end — the connection in beer hall 24a — it connects with the conductor electrically, and to electrode terminal 28a', the other end shifts to the method of drawing Nakamigi by the half-pitch, and is arranged. the same — wiring 26b — an end — the connection in beer hall 24b — it connects with the conductor electrically, and to electrode terminal 28b', the other end shifts to the method of drawing Nakamigi by the half-pitch, and is arranged. On wiring 26a and 26b, the insulator layer 31 is formed on the whole surface. Beer hall 32a to which opening of the insulator layer 31 on the other end of wiring 26a was carried out, and beer hall 32b to which opening of the insulator layer 31 on the other end of wiring 26b was carried out are formed in the insulator layer 31. the inside of beer hall 32a and 32b — beer halls 24a and 24b — the same — connection of Cu etc. — the conductor is embedded. the connection in beer hall 32a — a conductor is electrically connected with wiring 26a — having — \*\*\*\* — the connection in beer hall 32b — the conductor is electrically connected with wiring 26b.

[0021] Wiring 34a and 34b is formed in semiconductor chip 4 front face on an insulator layer 31 (method of drawing Nakagami). wiring 34a — an end — the connection in beer hall 32a — it connects with the conductor electrically, and to electrode terminal 28a', the other end shifts to the method of drawing Nakamigi by one pitch, and is arranged. the same — wiring 34b — an end — the connection in beer hall 32b — it connects with the conductor electrically, and to electrode terminal 28b', the other end shifts to the method of drawing Nakamigi by one pitch, and is arranged. The other end of wiring 34a is set to electrode terminal 28a, and the other end of wiring 34b is set to electrode terminal 28b. the connection in beer hall 24a and 32a — connection 8a consists of a conductor and wiring 26a and 34a. moreover, the connection in beer hall 24b and 32b — connection 8b consists of a conductor and wiring 26b and 34b. In addition, although a comparison signal is outputted to a comparator circuit from Connections 8a and 8b so that it may explain using drawing 4 later, in drawing 3 , illustration of wiring used for the output is omitted.

[0022] Next, the circuitry of the semiconductor integrated circuit equipment by the gestalt of this operation is explained using drawing 4 . Drawing 4 is the typical sectional view showing the example of circuitry for semiconductor chip selection of the semiconductor integrated circuit equipment by the gestalt of this operation. As shown in drawing 4 , on the substrate 2, the laminating of the semiconductor chips 4, 5, and 6 is carried out to this order. Since the electrical installation relation to a substrate 2 thru/or semiconductor chips 4, 5, and 6 was already explained using drawing 1 , the explanation is omitted and explains the circuitry in each chip. First, from electrode terminal 27c on the substrate 2 for chip selection signals, a chip selection signal S0 is outputted and a chip selection signal S1 is outputted from 27d of electrode terminals for chip selection signals.

[0023] The connections 8a and 8b of a semiconductor chip 4 are connected to the power source Vd through the pull-up resistor 70 prepared in the interior of a chip, respectively. It connects with a gland through bump 12a, and connection 8a is maintained by the potential of low (L) level. Therefore, the comparison signal of L level is outputted from connection 8a. Similarly, it connects with a gland through



bump 12b, and connection 8b is maintained by the potential of L level. Therefore, the comparison signal of L level is outputted from connection 8b. That is, the comparison signal of two L level is generated in the semiconductor chip 4.

[0024] The comparator circuit which consisted of two exclusive reversal OR (Ex-NOR) circuits 72 and 73 and nonconjunction (NAND) circuits 74 is formed in the semiconductor chip 4. Connection 8a is connected to one input terminal of Ex-NOR circuit 72, and connection 8b is connected to one input terminal of Ex-NOR circuit 73. Moreover, connection 9c is connected to the input terminal of another side of Ex-NOR circuit 73, and 9d of connections is connected to the input terminal of another side of Ex-NOR circuit 72.

[0025] The output terminal of Ex-NOR circuit 72 is connected to one input terminal of NAND circuit 74, and the output terminal of Ex-NOR circuit 73 is connected to the input terminal of another side of NAND circuit 74. An output signal S2 is outputted from NAND circuit 74. If an output signal S2 is set to L level, a semiconductor chip 4 will function as a chip of operation, and the memory circuit in a semiconductor chip 4 will come to receive various commands and entries of data through a predetermined electrode terminal.

[0026] The comparator circuit which consists of two Ex-NOR circuits 75 and 76 and NAND circuit 77 where the output signal of both Ex(es)-NOR circuits 75 and 76 is inputted is formed in the semiconductor chip 5 like the semiconductor chip 4. An output signal S3 is outputted from NAND circuit 77. If an output signal S3 is set to L level, a semiconductor chip 5 will function as a chip of operation, and the memory circuit in a semiconductor chip 5 will come to receive various commands and entries of data through a predetermined electrode terminal.

[0027] It connects with a gland through connection 8a, and connection 15b of a semiconductor chip 5 is maintained by the potential of L level. Therefore, the comparison signal of L level is outputted from connection 15b. On the other hand, since it does not connect with the gland, connection 15a is maintained by the potential of high (H) level according to the power source Vd connected through the pull-up resistor 70. Therefore, the comparison signal of H level is outputted from connection 15a. That is, in the semiconductor chip 5, the comparison signal of L level and H level is generated.

[0028] The comparator circuit which consists of two Ex-NOR circuits 78 and 79 and NAND circuit 80 where the output signal of both Ex(es)-NOR circuits 78 and 79 is inputted is formed in the semiconductor chip 6 like semiconductor chips 4 and 5. Output signal S4 is outputted from NAND circuit 80. If output signal S4 is set to L level, a semiconductor chip 6 will function as a chip of operation, and the memory circuit in a semiconductor chip 6 will come to receive various commands and entries of data through a predetermined electrode terminal.

[0029] Since it does not connect with the gland, the connections 17a and 17b of a semiconductor chip 6 are maintained by the potential of H level according to the power source Vd connected through the pull-up resistor 70. Therefore, the comparison signal of H level is outputted from both the connections 17a and 17b. That is, only the comparison signal of H level is generated in the semiconductor chip 6.

[0030] Next, the semiconductor chip selection approach by the gestalt of this operation based on the above-mentioned configuration is explained. First, the case where the chip selection signals S0 and S1 outputted from the electrode terminals 27c and 27d for the chip selection signals of a substrate 2 are set to both L level (0) is explained. The comparison signal of L level inputs into one input terminal of Ex-NOR circuit 72 of a semiconductor chip 4 from connection 8a, and the chip selection signal S1 of L level inputs into other input terminals from 9d of connections. Therefore, the output signal of Ex-NOR circuit 72 is set to H level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 73 from connection 8b, and the chip selection signal S0 of L level inputs into other input terminals from connection 9c. Therefore, the output signal of Ex-NOR circuit 73 is set to H level. The signal of H level inputs into one input terminal of NAND circuit 74 from Ex-NOR circuit 72, and the signal of H level inputs into other input terminals from Ex-NOR circuit 73. Therefore, the output signal S2 of NAND circuit 74 is set to L level.



[0031] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 75 of a semiconductor chip 5 from connection 15a, and the chip selection signal S1 of L level inputs into other input terminals from 16d of connections. Therefore, the output signal of Ex-NOR circuit 75 is set to L level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 76 from connection 15b, and the chip selection signal S0 of L level inputs into other input terminals from connection 16c. Therefore, the output signal of Ex-NOR circuit 76 is set to H level. The signal of L level inputs into one input terminal of NAND circuit 77 from Ex-NOR circuit 75, and the signal of H level inputs into other input terminals from Ex-NOR circuit 76. Therefore, the output signal S3 of NAND circuit 77 is set to H level.

[0032] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 78 of a semiconductor chip 6 from connection 17a, and the chip selection signal S1 of L level inputs into other input terminals from 18d of connections. Therefore, the output signal of Ex-NOR circuit 78 is set to L level. On the other hand, the comparison signal of H level inputs into one input terminal of Ex-NOR circuit 79 from connection 17b, and the chip selection signal S0 of L level inputs into other input terminals from connection 18c. Therefore, the output signal of Ex-NOR circuit 79 is set to L level. The signal of L level inputs into one input terminal of NAND circuit 80 from Ex-NOR circuit 78, and the signal of L level inputs into other input terminals from Ex-NOR circuit 79. Therefore, output-signal S4 of NAND circuit 80 is set to H level. As mentioned above, since only the output signal S2 from a semiconductor chip 4 is set to L level when both the chip selection signals S0 and S1 are set to L level, a semiconductor chip 4 can be chosen as a chip of operation.

[0033] Next, the case where the chip selection signal S0 outputted from electrode terminal 27c was set to L level, and the chip selection signal S1 outputted from 27d of electrode terminals is set to H level (1) is explained. The comparison signal of L level inputs into one input terminal of Ex-NOR circuit 72 of a semiconductor chip 4 from connection 8a, and the chip selection signal S1 of H level inputs into other input terminals from 9d of connections. Therefore, the output signal of Ex-NOR circuit 72 is set to L level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 73 from connection 8b, and the chip selection signal S0 of L level is inputted into other input terminals from connection 9c. Therefore, the output signal of Ex-NOR circuit 73 is set to H level. The signal of L level inputs into one input terminal of NAND circuit 74 from Ex-NOR circuit 72, and the signal of H level inputs into other input terminals from Ex-NOR circuit 73. Therefore, the output signal S2 of NAND circuit 74 is set to H level.

[0034] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 75 of a semiconductor chip 5 from connection 15a, and the chip selection signal S1 of H level inputs into other input terminals from 16d of connections. Therefore, the output signal of Ex-NOR circuit 75 is set to H level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 76 from connection 15b, and the chip selection signal S0 of L level inputs into other input terminals from connection 16c. Therefore, the output signal of Ex-NOR circuit 76 is set to H level. The signal of H level inputs into one input terminal of NAND circuit 77 from Ex-NOR circuit 75, and the signal of H level inputs into other input terminals from Ex-NOR circuit 76. Therefore, the output signal S3 of NAND circuit 77 is set to L level.

[0035] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 78 of a semiconductor chip 6 from connection 17a, and the chip selection signal S1 of H level inputs into other input terminals from 18d of connections. Therefore, the output signal of Ex-NOR circuit 78 is set to H level. On the other hand, the comparison signal of H level inputs into one input terminal of Ex-NOR circuit 79 from connection 17b, and the chip selection signal S0 of L level inputs into other input terminals from connection 18c. Therefore, the output signal of Ex-NOR circuit 79 is set to L level. The signal of H level inputs into one input terminal of NAND circuit 80 from Ex-NOR circuit 78, and the signal of L level inputs into other input terminals from Ex-NOR circuit 79. Therefore, output-signal S4 of NAND circuit 80 is set to H level. As mentioned above, since only the output signal S3 from a

semiconductor chip 5 is set to L level when a chip selection signal S0 is set to L level and a chip selection signal S1 is set to H level, a semiconductor chip 5 can be chosen as a chip of operation.

[0036] Next, the case where both the chip selection signals S0 and S1 outputted from electrode terminals 27c and 27d are set to H level is explained. The comparison signal of L level inputs into one input terminal of Ex-NOR circuit 72 of a semiconductor chip 4 from connection 8a, and the chip selection signal S1 of H level inputs into other input terminals from 9d of connections. Therefore, the output signal of Ex-NOR circuit 72 is set to L level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 73 from connection 8b, and the chip selection signal S0 of H level is inputted into other input terminals from connection 9c. Therefore, the output signal of Ex-NOR circuit 73 is set to L level. The signal of L level inputs into one input terminal of NAND circuit 74 from Ex-NOR circuit 72, and the signal of L level inputs into other input terminals from Ex-NOR circuit 73. Therefore, the output signal S2 of NAND circuit 74 is set to H level.

[0037] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 75 of a semiconductor chip 5 from connection 15a, and the chip selection signal S1 of H level inputs into other input terminals from 16d of connections. Therefore, the output signal of Ex-NOR circuit 75 is set to H level. On the other hand, the comparison signal of L level inputs into one input terminal of Ex-NOR circuit 76 from connection 15b, and the chip selection signal S0 of H level inputs into other input terminals from connection 16c. Therefore, the output signal of Ex-NOR circuit 76 is set to L level. The signal of H level inputs into one input terminal of NAND circuit 77 from Ex-NOR circuit 75, and the signal of L level inputs into other input terminals from Ex-NOR circuit 76. Therefore, the output signal S3 of NAND circuit 77 is set to H level.

[0038] The comparison signal of H level inputs into one input terminal of Ex-NOR circuit 78 of a semiconductor chip 6 from connection 17a, and the chip selection signal S1 of H level inputs into other input terminals from 18d of connections. Therefore, the output signal of Ex-NOR circuit 78 is set to H level. On the other hand, the comparison signal of H level inputs into one input terminal of Ex-NOR circuit 79 from connection 17b, and the chip selection signal S0 of H level inputs into other input terminals from connection 18c. Therefore, the output signal of Ex-NOR circuit 79 is set to H level. The signal of H level inputs into one input terminal of NAND circuit 80 from Ex-NOR circuit 78, and the signal of H level inputs into other input terminals from Ex-NOR circuit 79. Therefore, output-signal S4 of NAND circuit 80 is set to L level. As mentioned above, since only output-signal S4 from a semiconductor chip 6 is set to L level when both the chip selection signals S0 and S1 are set to H level, a semiconductor chip 6 can be chosen as a chip of operation.

[0039] If these are summarized, it will become as it is shown in Table 1 thru/or 3. Table 1 thru/or 3 shows the output signals S2 and S3 and S4 which are outputted based on chip selection signals S0 and S1. Table 1 shows the output signal S2 from a semiconductor chip 4, and Table 2 shows the output signal S3 from a semiconductor chip 5. Moreover, Table 3 shows output signal S4 from a semiconductor chip 6.

[0040]

[Table 1]

S 0	S 1	S 2	
L	L	L	選択
L	H	H	
H	L	H	
H	H	H	

[0041]

[Table 2]

S 0	S 1	S 3	
L	L	H	
L	H	L	選択
H	L	H	
H	H	H	

[0042]

[Table 3]

S 0	S 1	S 4	
L	L	H	
L	H	H	
H	L	H	
H	H	L	選択

[0043] With the gestalt of this operation, the numbers of terminals of the electrode terminal electrically connected to the electrode terminals 27a and 27b for the reference signals of a substrate 2 differ with each semiconductor chips 4, 5, and 6, respectively. Since the reference signal of combination different, respectively is supplied to each semiconductor chips 4, 5, and 6 by this, even if a chip selection signal common to each semiconductor chips 4, 5, and 6 is supplied, a comparison signal different, respectively is generated. Therefore, even if the laminating of two or more semiconductor chips 4, 5, and 6 with which the same circuit pattern was formed is carried out, the desired semiconductor chips 4, 5, and 6 can be chosen as a chip of operation by comparing a chip selection signal with a comparison signal in a predetermined comparator circuit.

[0044] Next, the semiconductor integrated circuit equipment by the gestalt of operation of the 2nd of this invention is explained using drawing 5. Drawing 5 is the sectional view showing the configuration of the semiconductor integrated circuit equipment by the gestalt of this operation. As shown in drawing 5, in the substrate 2' front face, two or more electrode terminals 27a-27o are arranged in the predetermined pitch P. The electrode terminals 27a and 27b for reference signals (the 3rd electrode terminal) are connected to the gland. A chip selection signal is outputted from the electrode terminals 27c and 27d for chip selection signals. Moreover, from electrode terminals 27e-27o, the address signal for example, in each bank, a clock signal, a clock enable signal, a command signal, a predetermined data signal that are used by the memory circuit in addition to this, etc. are outputted to each semiconductor chip 4', 5', and 6'.

[0045] Moreover, in the substrate 2' upper semiconductor chip 4' front face (method of drawing Nakashita), the electrode terminals 28a and 28b for reference signals (the 4th electrode terminal) are arranged so that electrode terminals 27a and 27b may be countered. Similarly, electrode terminals 28c-28o are arranged so that electrode terminals 27c-27n may be countered. Substrate 2' and semiconductor chip 4' are stuck through two or more bumps 12a-12o. Thereby, the electrode terminals 27a-27o of substrate 2' and the electrode terminals 28a-28o of semiconductor chip 4' are connected electrically, respectively. At this time, electrode terminal 28a for the reference signals of semiconductor chip 4' is connected to a gland through bump 12a, and electrode terminal 28b is connected to a gland

through bump 12b.

[0046] In the semiconductor chip 4' rear face (method of drawing Nakagami), electrode terminal 28a' - 28o' is arranged. Electrode terminal 28a' for reference signals is electrically connected to surface electrode terminal 28a through connection 9a. Electrode terminal 28b' is electrically connected to surface electrode terminal 28b through connection 9b. Similarly, electrode terminals 28c'-28o' are electrically connected to electrode terminal 28c' - 28o' through Connections 9c-9o, respectively. the connection where Connections 9a-9o were embedded in the beer hall which has penetrated semiconductor chip 4' almost at right angles to a semiconductor chip 4' front face, and the beer hall concerned — it consists of conductors.

[0047] Semiconductor chip 5' arranged semiconductor chip 4' up has the same configuration as semiconductor chip 4'. In the front face of semiconductor chip 5', electrode terminals 29a-29o are arranged. In the rear face of semiconductor chip 5', electrode terminal 29a' - 29o' is arranged. electrode terminal (4th electrode terminal) 29a of a semiconductor chip 5' front face — connection 16a — minding — a semiconductor chip 5 — it connects with 'electrode terminal 29a for reference signals on the back' electrically. electrode terminal (4th electrode terminal) 29b of a semiconductor chip 5' front face — connection 16b — minding — a semiconductor chip 5 — it connects with 'electrode terminal 29b for reference signals on the back' electrically. the same — the electrode terminals 29c-29o of a semiconductor chip 5' front face — Connections 16c-16o — minding — a semiconductor chip 5 — it connects with 'electrode terminal 29c'-29o on the back' electrically, respectively.

[0048] Semiconductor chip 5' and semiconductor chip 4' are stuck through two or more bumps 13b-13o. thereby — semiconductor chip 5' — the surface electrode terminals 29b-29o and a semiconductor chip 4 — 'electrode terminal 28b'-28o on the back' is connected electrically, respectively. this — the time — a reference signal — \*\* — an electrode terminal — 29 — a — an electrode terminal — 28 — a — ' — between — \*\*\*\* — a bump — 13 — b - 13 — o — forming — having — \*\*\*\* — a sake — an electrode terminal — 29 — a — a gland — connecting — having had — an electrode terminal — 28 — a — ' — connecting — not having . Therefore, only electrode terminal 29b for reference signals is connected to a gland through bump 13b, connection 9b, and bump 12b.

[0049] moreover, semiconductor chip 5' — semiconductor chip 6' arranged upwards has the same configuration as semiconductor chip 4' and 5'. In the front face of semiconductor chip 6', electrode terminals 30a-30o are arranged. In the rear face of semiconductor chip 6', electrode terminal 30a' - 30o' is arranged. electrode terminal (4th electrode terminal) 30a of a semiconductor chip 6' front face — connection 18a — minding — a semiconductor chip 6 — it connects with 'electrode terminal 30a for reference signals on the back' electrically. electrode terminal (4th electrode terminal) 30b of a semiconductor chip 6' front face — connection 16b — minding — a semiconductor chip 6 — it connects with 'electrode terminal 30b for reference signals on the back' electrically. the same — the electrode terminals 30c-30o of a semiconductor chip 6' front face — Connections 16c-16o — minding — a semiconductor chip 6 — it connects with 'electrode terminal 30c'-30o on the back' electrically, respectively.

[0050] Semiconductor chip 6' and semiconductor chip 5' are stuck through two or more bumps 14c-14o. thereby — semiconductor chip 6' — the surface electrode terminals 30c-30o and a semiconductor chip 5 — 'electrode terminal 29c'-29o on the back' is connected electrically, respectively. At this time, Bumps 14c-14o are not formed between electrode terminal 30a for reference signals, and electrode terminal 29a'. Similarly, between electrode terminal 30b for reference signals, and electrode terminal 29b', Bumps 14c-14o are not formed. for this reason — a reference signal — \*\* — an electrode terminal — 30 — a — 30 — b — a gland — connecting — having had — a semiconductor chip — five — ' — an electrode terminal — 29 — b — ' — connecting — not having — a sake — an electrode terminal — 30 — a — 30 — b — both — a gland — connecting — not having .

[0051] being above — a substrate — two — ' — or — a semiconductor chip — four — ' — five — ' — six — ' — between — electrical installation — relation — setting — the — one — operation — a

gestalt — having explained — drawing 4 — being shown — circuitry — being similar — a comparator circuit — semiconductor chip 4', 5', and 6' — semiconductor chip 4', 5', or 6' can be chosen as a chip of operation by forming inside using the same semiconductor chip selection approach as the gestalt of the 1st operation.

[0052] a book — operation — a gestalt — \*\*\*\* — a substrate — two — ' — a reference signal — \*\* — an electrode terminal — 27 — a — 27 — b — electric — connecting — having — each — a semiconductor chip — four — ' — five — ' — six — ' — an electrode terminal — connection — a terminal — a number — a laminating — a direction (upper part) — going — order — one — a \*\* — every — decreasing — as — a bump — 12 — a — 12 — b — 13 — b — arranging — having — \*\*\*\* . thereby — each — a semiconductor chip — four — ' — five — ' — six — ' — \*\*\*\* — respectively — differing — combination — a reference signal — generation — \*\* — a reference signal — supplying — having — a sake — each — a semiconductor chip — four — ' — five — ' — six — ' — being common — a chip selection signal — supplying — having — even if — respectively — differing — a comparison — a signal — being generable . therefore — being the same — a circuit pattern — forming — having had — a semiconductor chip — four — ' — five — ' — six — ' — a laminating — carrying out — having — even if — a chip selection signal — a comparison — a signal — predetermined — a comparator circuit — comparing — things — as the chip of a request of semiconductor chip 4', 5', or 6' of operation — it can choose — coming .

[0053] Not only the gestalt of the above-mentioned implementation but various deformation is possible for this invention. For example, with the gestalt of the above-mentioned implementation, although a substrate, a semiconductor chip, or two semiconductor chips are stuck using two or more bumps, this invention is stuck using other chip connection members, such as not only this but anisotropy electric conduction film (ACF; Anisotropic Conductive Film).

[0054] Moreover, although the comparator circuit consists of gestalten of the above-mentioned implementation in two Ex-NOR circuits and the NAND circuit where the output signal of both Ex(es)-NOR circuit is inputted, not only this but, of course, this invention can be constituted from an another circuit containing Ex-OR circuit.

[0055] Moreover, although the semiconductor chip with which the memory circuit was formed, and the semiconductor integrated circuit equipment using it were mentioned as the example with the gestalt of the above-mentioned implementation, this invention is applicable not only to this but the semiconductor chip with which CPU, the system LSI, etc. were formed and the semiconductor integrated circuit using it.

[0056] The semiconductor integrated circuit equipment and the semiconductor chip selection approach using the semiconductor chip and it by the gestalt of the 1st explained above and the 2nd operation are packed as follows.

Two or more 1st electrode terminals which the reference signal for generating the comparison signal which is arranged on a front face and compared with the chip selection signal for chip selects in a comparator circuit in a predetermined pitch inputs, (Additional remark 1) Two or more 2nd electrode terminals which output said reference signal which has been arranged at the rear face which shifts by one pitch to said two or more 1st electrode terminals, respectively, and counters said front face, and was inputted into said 1st electrode terminal, The semiconductor chip characterized by having the connection which connects electrically between the said deviated 1st-by said one pitch, and 2nd electrode terminals.

[0057] (Additional remark 2) It is the semiconductor chip characterized by said connection having the stair-like cross-section configuration in the semiconductor chip of additional remark 1 publication.

[0058] (Additional remark 3) It is the semiconductor chip which has further the electrode terminal for chip selection signals which said chip selection signal inputs into additional remark 1 or 2 in the semiconductor chip of a publication, and is characterized by carrying out same number formation of said electrode terminal for chip selection signals with the number of terminals of said 1st electrode terminal.

[0059] (Additional remark 4) It is semiconductor integrated circuit equipment which is semiconductor

integrated circuit equipment which has the same circuit pattern and has the chip connection member which connects electrically between the electrode terminals by which stick two or more semiconductor chips by which the laminating was carried out on the substrate, and said substrate and said two or more semiconductor chips, and opposite arrangement is carried out, and is characterized by for said semiconductor chip to be a semiconductor chip given in additional remark 1 thru/or any 1 term of 3.  
[0060] (Additional remark 5) It is semiconductor integrated circuit equipment characterized by said chip connection member being a bump in the semiconductor integrated circuit equipment of additional remark 4 publication.

[0061] The substrate which has two or more 3rd electrode terminals which output the reference signal for generating the comparison signal compared in the chip selection signal and comparator circuit for chip selects, (Additional remark 6) While having the same circuit pattern, being arranged at two or more semiconductor chips by which the laminating was carried out on the substrate, and said two or more semiconductor chips and sticking said two or more 4th electrode terminals for a reference signal input, and said substrate and said two or more semiconductor chips Semiconductor integrated circuit equipment characterized by having the chip connection member arranged so that the number of connection terminals of the 4th electrode terminal electrically connected to said 3rd electrode terminal may decrease in order of a laminating.

[0062] (Additional remark 7) It is semiconductor integrated circuit equipment characterized by said number of connection terminals decreasing one [ at a time ] in order of a laminating in the semiconductor integrated circuit equipment of additional remark 6 publication.

[0063] (Additional remark 8) It is semiconductor integrated circuit equipment which said substrate has further the electrode terminal for chip selection signals which outputs said chip selection signal in semiconductor integrated circuit equipment additional remark 6 or given in 7, and is characterized by carrying out same number formation of said electrode terminal for chip selection signals with the number of terminals of said 3rd electrode terminal.

[0064] (Additional remark 9) It is semiconductor integrated circuit equipment characterized by said chip connection member being a bump in semiconductor integrated circuit equipment additional remark 6 thru/or given in any 1 term of 8.

[0065] (Additional remark 10) The semiconductor chip selection approach characterized by choosing either of said two or more semiconductor chips based on the comparison signal which outputted the chip selection signal to two or more semiconductor chips by which have the same circuit pattern and the laminating was carried out on the substrate, and was generated for said every semiconductor chip, and said chip selection signal.

[0066] (Additional remark 11) Based on the reference signal with which said comparison signal is supplied from said substrate in the semiconductor chip selection approach of additional remark 10 publication, it is the semiconductor chip selection approach characterized by being generated for said every semiconductor chip.

[0067] (Additional remark 12) Said comparison signal is the semiconductor chip selection approach characterized by being generated as two or more signals with which the combination of condition level differs for said every semiconductor chip in the semiconductor chip selection approach of additional remark 11.

[0068]

[Effect of the Invention] According to this invention the above passage, even if two or more laminatings are carried out with the same circuit pattern, a chip select predetermined with the chip selection signal from the outside becomes possible.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawing
2. gs, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the configuration of the semiconductor integrated circuit equipment by the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the conceptual diagram showing typically the circuitry of the principal part of the semiconductor chip by the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the sectional view showing the configuration of some semiconductor chips by the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the typical sectional view showing the logical circuit for semiconductor chip selection of the semiconductor integrated circuit equipment by the gestalt of operation of the 1st of this invention.

[Drawing 5] It is the sectional view showing the configuration of the semiconductor integrated circuit equipment by the gestalt of operation of the 2nd of this invention.

[Description of Notations]

2 Substrate

4, 5, 6 Semiconductor chip

8, 9, 15, 16, 17, 18 Connection

12, 13, 14 Bump

20 Si Substrate

22 31 Insulator layer

24, 32, 42, 43 Beer hall

26 34 Wiring

27, 28, 29, 30 Electrode terminal

52 Memory Cell Section

54 Word Line

56 Bit Line

58 Memory Cell

60 Transistor

62 Capacitor

64 Low Decoder

66 Column Decoder

68 Input/output Control Circuit

70 Pull-up Resistor

72, 73, 75, 76, 78, 79 Ex-NOR circuit

74, 77, 80 NAND circuit

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-60053

(P2003-60053A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル (参考)

H 0 1 L 21/822

H 0 1 L 27/10

4 9 5

5 F 0 3 8

21/8242

27/04

M

5 F 0 8 3

25/065

27/10

6 8 1 Z

25/07

25/08

B

25/18

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2001-243949(P2001-243949)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(22) 出願日

平成13年8月10日 (2001.8.10)

(72) 発明者 甲斐 睦章

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100101214

弁理士 森岡 正樹

Fターム(参考) 5F038 DF16 EZ20

5F083 AD00 GA10 KA20 ZA12 ZA23

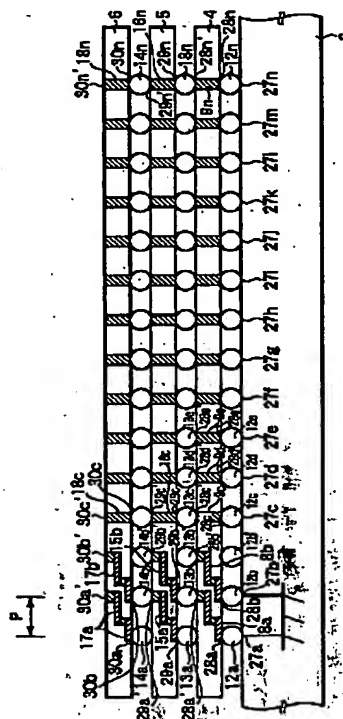
ZA30

(54) 【発明の名称】 半導体チップ及びそれを用いた半導体集積回路装置及び半導体チップ選択方法

(57) 【要約】

【課題】 本発明は、基板上に積層されて実装される半導体チップ及びそれを用いた半導体集積回路装置に関し、同一の配線パターンで複数積層されても、外部からのチップ選択信号で所定のチップ選択が可能になる半導体チップ及びそれを用いた半導体集積回路装置を提供することを目的とする。

【解決手段】 所定ピッチで表面に配置され、比較回路においてチップ選択用のチップ選択信号と比較される比較信号を生成するための基準信号が入力する複数の第1の電極端子28a、28bと、複数の第1の電極端子28a、28bに対してそれぞれ1ピッチ分ずれて表面に対向する裏面に配置され、第1の電極端子28a、28bに入力された基準信号を出力する複数の第2の電極端子28a'、28b'と、1ピッチ分ずれた第1及び第2の電極端子間を電氣的に接続する接続部8a、8bとを有するように構成する。



(2)

## 【特許請求の範囲】

【請求項1】 所定ピッチで表面に配置され、比較回路においてチップ選択用のチップ選択信号と比較される比較信号を生成するための基準信号が入力する複数の第1の電極端子と、  
前記複数の第1の電極端子に対してそれぞれ1ピッチ分ずれて前記表面に対向する裏面に配置され、前記第1の電極端子に入力された前記基準信号を出力する複数の第2の電極端子と、  
前記1ピッチ分ずれた前記第1及び第2の電極端子間を電氣的に接続する接続部とを有することを特徴とする半導体チップ。

【請求項2】 請求項1記載の半導体チップにおいて、前記接続部は、階段状の断面形状を有していることを特徴とする半導体チップ。

【請求項3】 請求項1又は2に記載の半導体チップにおいて、  
前記チップ選択信号が入力するチップ選択信号用電極端子をさらに有し、  
前記チップ選択信号用電極端子は、前記第1の電極端子の端子数と同数形成されていることを特徴とする半導体チップ。

【請求項4】 同一の配線パターンを有し、基板上に積層された複数の半導体チップと、前記基板及び複数の前記半導体チップとを貼り合わせて対向配置される電極端子間を電氣的に接続するチップ間接続部材とを有する半導体集積回路装置であって、  
前記半導体チップは、請求項1乃至3のいずれか1項に記載の半導体チップであることを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置において、  
前記チップ間接続部材はバンパであることを特徴とする半導体集積回路装置。

【請求項6】 チップ選択用のチップ選択信号と比較回路で比較される比較信号を生成するための基準信号を出力する複数の第3の電極端子を有する基板と、  
同一の配線パターンを有し、基板上に積層された複数の半導体チップと、  
前記複数の半導体チップに配置され、前記基準信号入力用の複数の第4の電極端子と、  
前記基板及び前記複数の半導体チップを貼り合わせるとともに、前記第3の電極端子に電氣的に接続される第4の電極端子の接続端子数が積層順に減少するように配置されたチップ間接続部材とを有することを特徴とする半導体集積回路装置。

【請求項7】 請求項6記載の半導体集積回路装置において、  
前記接続端子数は、積層順に1つつ減少することを特徴とする半導体集積回路装置。

【請求項8】 請求項6又は7に記載の半導体集積回路装置において、

前記基板は、前記チップ選択信号を出力するチップ選択信号用電極端子をさらに有し、

前記チップ選択信号用電極端子は、前記第3の電極端子の端子数と同数形成されていることを特徴とする半導体集積回路装置。

【請求項9】 請求項6乃至8のいずれか1項に記載の半導体集積回路装置において、

10 前記チップ間接続部材はバンパであることを特徴とする半導体集積回路装置。

【請求項10】 同一の配線パターンを有して基板上に積層された複数の半導体チップにチップ選択信号を出力し、

前記半導体チップ毎に生成された比較信号と前記チップ選択信号とに基づいて前記複数の半導体チップのいずれかを選択することを特徴とする半導体チップ選択方法。

## 【発明の詳細な説明】

## 【0001】

20 【発明の属する技術分野】 本発明は、基板上に積層される半導体チップ及びそれを用いた半導体集積回路装置及び半導体チップ選択方法に関する。

## 【0002】

【従来の技術】 近年、半導体集積回路の高集積化及びSOC (System On Chip) 化が進められ、特にチップ実装技術を用いて複数の半導体チップを積層するマルチチップ化が進んできている。マルチチップ化を実現するチップ実装方法の一つとして、半導体チップ表面に複数の電極端子を配置し、半導体チップを積層して各チップ間を電極端子で接続するスーパーコネク技術がある。スーパーコネク技術は実用化に向けて研究が進められており、次世代の技術として期待されている。例えば、メモリ回路が形成された半導体チップをスーパーコネク技術を用いて複数積層することにより、高密度で高記憶容量のメモリが得られるようになる。

## 【0003】

30 【発明が解決しようとする課題】 一般に、スーパーコネク技術を用いて形成された高記憶容量メモリは、電極端子や回路素子の配置を含む配線パターンが同一の半導体チップがバンパを介して複数積層された構造を有している。半導体チップが複数積層されると、データの書き込みや読み出しを行う動作チップを選択するためのチップ選択用の信号が必要になる。ところが、積層される半導体チップが同一の配線パターンを有していると、チップ選択用の信号が入力する電極端子の位置が全て一致して各半導体チップに同一のチップ選択用の信号が入力されてしまうため、動作チップを選択できないという問題が生じる。

50 【0004】 上記問題を回避するには以下の2つの方法が考えられる。第1の方法では、フォトリソグラフィエ

(3)

3

程において回路パターンの異なる複数の露光用マスクを用い、チップ選択用の信号が入力する電極端子をそれぞれずらした複数の半導体チップを製造する。そして、これらの半導体チップを基板上にバンプを介して積層し、基板から各半導体チップのチップ選択信号入力用の電極端子に順次選択信号を出力することにより動作チップが選択できるようになる。第2の方法は、同一の配線パターン形成した後、各半導体チップの配線パターンの一部にレーザ光を照射して、チップ選択用の信号が入力する電極端子がそれぞれずれた複数の半導体チップを製造する。そして、これらの半導体チップを基板上にバンプを介して積層し、基板から各半導体チップのチップ選択信号入力用の電極端子に順次選択信号を出力することにより動作チップが選択できるようになる。しかしながら、第1の方法では、複数の回路設計が必要になってしまうと共に、高価な露光用マスクを複数枚用意しなければならず、また、フォトリソグラフィ工程が増加してしまうという問題が生じる。また、第2の方法では、配線パターンをレーザ光照射で切断する工程が新たに必要になってしまう。このため、いずれの方法も製造工程が増加して製造コストが高くなってしまいう問題点を有している。

【0005】本発明の目的は、同一の配線パターンで複数積層されても、外部からのチップ選択信号で所定のチップ選択が可能になる半導体チップ及びそれを用いた半導体集積回路装置及び半導体チップ選択方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的は、所定ピッチで表面に配置され、比較回路においてチップ選択用のチップ選択信号と比較される比較信号を生成するための基準信号が入力する複数の第1の電極端子と、前記複数の第1の電極端子に対してそれぞれ1ピッチ分ずれて前記表面に対向する裏面に配置され、前記第1の電極端子に入力された前記基準信号を出力する複数の第2の電極端子と、前記1ピッチ分ずれた前記第1及び第2の電極端子間を電気的に接続する接続部とを有することを特徴とする半導体チップによって達成される。

【0007】

【発明の実施の形態】本発明の第1の実施の形態による半導体チップ及びそれを用いた半導体集積回路装置及び半導体チップ選択方法について図1乃至図4を用いて説明する。図1は、本実施の形態による半導体集積回路装置の概略構成を示す断面図である。図1に示すように、基板2上には、例えば3つの半導体チップ4、5、6がこの順に積層されている。本実施の形態による半導体集積回路装置は、3つのバンクを有するDRAM (Dynamic Random Access Memory) を例にとり、半導体チップ4、5、6がそれぞれバンクを構成しているものとする。また、半導体集積回路

4

装置の上下面にはマトリクス状に複数の電極端子が配置されているが、図1及びこれ以降の図示は、複数の電極端子の所定の1行又は1列に沿った断面を示している。

【0008】図2は、各半導体チップ4、5、6の主要部の回路構成を模式的に示す概念図である。図2に示すように、各半導体チップ4、5、6はメモリセル部52を有している。メモリセル部52には、転送ゲート用のトランジスタ60とキャパシタ62とで構成された複数のメモリセル58 (図2では1つのみ示している) がマトリクス状に形成されている。また、各メモリセル58間には行方向 (図中左右方向) に延びた複数のワード線54 (図2では1本のみ示している) と、列方向 (図中上下方向) に延びた複数のビット線56 (図2では1本のみ示している) とが形成されている。同一行方向に並んだ各メモリセル58のトランジスタ60のゲート電極は同一のワード線54に接続されており、同一列方向に並んだ各メモリセル58のトランジスタ60のドレイン電極は同一のビット線56に接続されている。

【0009】複数のワード線54は、行 (ロー) デコーダ64により駆動されるようになっている。また、ビット線56とデータバスとの間の列 (コラム) ゲートを制御する複数の列選択線は、コラムデコーダ66により駆動されるようになっている。両デコーダ64、66は、入出力制御回路68により制御される。

【0010】図1に戻り、基板2表面の図中左方には、電極端子27a、27bが所定の間隔 (ピッチ) Pで配置されている。電極端子27bの右方には、電極端子27c、27dがこの順に配置されている。電極端子27c、27dは、複数の半導体チップ4、5、6から所定の動作チップを選択するために用いられるチップ選択信号が出力される端子である。電極端子27a、27bは、所定の動作チップを選択する際に、後程説明する比較回路でチップ選択信号と比較される比較信号を生成するための基準信号を供給する電極端子であり、グランドに接続されている。すなわち本例では、電極端子27a、27bは、グランド電位の基準信号を半導体チップ4、5、6へ供給するようになっている。

【0011】電極端子27dの右方には、複数の電極端子27e～27nがこの順に配置されている。電極端子27e～27nからは、例えば各バンク内のアドレス信号、クロック信号、クロックイネーブル信号や、その他メモリ回路で用いられる各種コマンド信号及び所定のデータ信号等が各半導体チップ4、5、6に出力されるようになっている。電極端子27bと電極端子27cとは、例えば2Pの間隔を有して配置されている。電極端子27c～27nは、例えばピッチPで配置されている。

【0012】本実施の形態に示すような3つの半導体チップ4、5、6の積層構造の場合には基準信号用の電極端子27a、27bの端子数は2つで足りる。より多層

(4)

5

の積層構造をとる場合には、積層数-1の端子数の基準信号用電極端子を設けるようにすればよい。また、チップ選択信号用の電極端子27c、27dの端子数は、基準信号用の電極端子27a、27bの端子数と同数する。従って、半導体チップの積層数の増加による基準信号用電極端子の増加分と同数分だけチップ選択信号用の電極端子の数も増やす必要がある。

【0013】基板2上には、本実施の形態による半導体チップ4が積層されている。半導体チップ4の表面（本例では図中下方側を指す）には、図中左方に基準信号用の電極端子28a、28bがピッチPで配置されている。電極端子28bの右方には、チップ選択信号用の電極端子（第1の電極端子）28c、28dがこの順に配置されている。電極端子28dの右方には、電極端子28e～28nがこの順に配置されている。電極端子28a～28nは、基板2の電極端子27a～27nにそれぞれ対向するように配列されている。半導体チップ4は、チップ間接続部材である複数のバンプ12a～12nを介して基板2と貼り合わされている。これにより、半導体チップ4の電極端子28a～28nと基板2の電極端子27a～27nとは、それぞれ電氣的に接続される。このとき、基準信号用の電極端子28aはバンプ12aを介してグランドに接続され、基準信号用の電極端子28bはバンプ12bを介してグランドに接続される。

【0014】半導体チップ4の裏面（図中上方）には、電極端子28a'～28n'が配置されている。基準信号用の電極端子（第2の電極端子）28a'、28b'は、表面の基準信号用の電極端子28a、28bに対して図中右方に1ピッチ分ずれて配置されている。従って、電極端子28a'は、表面の電極端子28aではなく、それより1ピッチずれた電極端子28bに対向する裏面に配置される。電極端子28a'は、接続部8aを介して電極端子28aに電氣的に接続されている。電極端子28b'は、接続部8bを介して電極端子28bに電氣的に接続されている。接続部8a、8bは、1ピッチ分ずれて配置された電極端子28a'、28b'と電極端子28a、28bとの間をそれぞれ接続するように、断面が階段状の接続導体を有している。

【0015】チップ選択信号用の電極端子28c'は接続部9cを介して電極端子28cに電氣的に接続されており、電極端子28d'は接続部9dを介して電極端子28dに電氣的に接続されている。同様に、電極端子28e'～28n'は、接続部9e～9nを介して電極端子28e～28nにそれぞれ電氣的に接続されている。接続部9c～9nは、半導体チップ4表面にほぼ垂直に半導体チップ4を貫通しているビアホールと、当該ビアホール内に埋め込まれた接続導体とで構成されている。

【0016】半導体チップ4上に積層された半導体チップ5は、半導体チップ4と同一の構成を有している。半

6

導体チップ5の表面には、半導体チップ4表面の電極端子28a～28nと同一の配列で電極端子29a～29nが配置されている。半導体チップ5の裏面には、半導体チップ4裏面の電極端子28a'～28n'と同一の配列で電極端子29a'～29n'が配置されている。半導体チップ5と半導体チップ4とは、複数のバンプ13a～13nを介して貼り合わされている。これにより、半導体チップ5表面の電極端子29bと、半導体チップ4裏面の電極端子28a'とがバンプ13bを介して電氣的に接続される。同様に、半導体チップ5表面の電極端子29c～29nと、半導体チップ4裏面の電極端子28c'～28n'とがバンプ13c～13nを介してそれぞれ電氣的に接続される。このとき、半導体チップ5表面の基準信号用の電極端子29aは、グランドに接続された電極端子28a'、28b'のいずれとも接続されないため、基準信号用の電極端子29bのみがバンプ13b、接続部8a及びバンプ12aを介してグランドに接続される。

【0017】また、半導体チップ5上に積層された半導体チップ6は、半導体チップ4、5と同一の構成を有している。半導体チップ6の表面には、半導体チップ4表面の電極端子28a～28n及び半導体チップ5表面の電極端子29a～29nと同一の配列で、電極端子30a～30nが配置されている。半導体チップ6の裏面には、半導体チップ4裏面の電極端子28a'～28n'及び半導体チップ5裏面の電極端子29a'～29n'と同一の配列で、電極端子30a'～30n'が配置されている。半導体チップ6と半導体チップ5とは、複数のバンプ14a～14nを介して貼り合わされている。これにより、半導体チップ6表面の電極端子30bと、半導体チップ5裏面の電極端子29a'とが電氣的に接続される。同様に、半導体チップ6表面の電極端子30c～30nと、半導体チップ5裏面の電極端子29c'～29n'とがそれぞれ電氣的に接続される。このとき、半導体チップ6表面の基準信号用の電極端子30a、30bは、グランドに接続された電極端子29b'に接続されないため、電極端子30a、30bは共にグランドに接続されない。

【0018】半導体チップ4裏面の電極端子28b'は、対向して配置された半導体チップ5に当該電極端子28b'に接続される電極端子が配置されていない非接続端子となっている。同様に、半導体チップ5裏面の電極端子29b'と半導体チップ5表面の電極端子29aと半導体チップ6表面の電極端子30aとは、対向する電極端子が配置されていない非接続端子となっている。

【0019】図3は、図1に示す半導体チップ4の一部を拡大した断面図であり、図1に示す半導体チップ4の配置に対して上下を反転させて示している。図3は、半導体チップ4の一部として、基準信号用の電極端子28a、28b、28a'、28b'、及び接続部8a、8

(5)

7

bの構成を示している。図3に示すように、例えばn型のシリコン(Si)基板20上に絶縁膜22が形成されている。Si基板20及び絶縁膜22には、Si基板20及び絶縁膜22を貫通する2つのビアホール24a、24bがピッチPで形成されている。ビアホール24a、24b内には、銅(Cu)等の接続導体が埋め込まれている。ビアホール24a内の接続導体のうち、Si基板20の裏面側(図中下方)の露出面が電極端子28a'になる。同様に、ビアホール24b内の接続導体のうち、Si基板20の裏面側の露出面が電極端子28b'になる。なお、電極端子28a'、28b'にパンプ接続用のパッドを設けるようにしてもよい。

【0020】絶縁膜22上には、アルミニウム(Al)、Cu等からなる配線26a、26bが形成されている。配線26aは、一端がビアホール24a内の接続導体と電気的に接続されており、他端が電極端子28a'に対して図中右方に半ピッチ分ずれて配置されている。同様に、配線26bは、一端がビアホール24b内の接続導体と電気的に接続されており、他端が電極端子28b'に対して図中右方に半ピッチ分ずれて配置されている。配線26a、26b上には絶縁膜31が全面に形成されている。絶縁膜31には、配線26aの他端上の絶縁膜31が開口されたビアホール32aと、配線26bの他端上の絶縁膜31が開口されたビアホール32bとが形成されている。ビアホール32a、32b内には、ビアホール24a、24bと同様にCu等の接続導体が埋め込まれている。ビアホール32a内の接続導体は、配線26aと電気的に接続されており、ビアホール32b内の接続導体は、配線26bと電気的に接続されている。

【0021】絶縁膜31上の半導体チップ4表面(図中上方)には、配線34a、34bが形成されている。配線34aは、一端がビアホール32a内の接続導体に電気的に接続されており、他端が電極端子28a'に対して図中右方に1ピッチ分ずれて配置されている。同様に、配線34bは、一端がビアホール32b内の接続導体に電気的に接続されており、他端が電極端子28b'に対して図中右方に1ピッチ分ずれて配置されている。配線34aの他端は電極端子28aとなり、配線34bの他端は電極端子28bとなる。ビアホール24a、32a内の接続導体及び配線26a、34aで、接続部8aが構成されている。また、ビアホール24b、32b内の接続導体及び配線26b、34bで、接続部8bが構成されている。なお、後程図4を用いて説明するように、接続部8a、8bからは、比較信号が比較回路に出力されるようになっているが、図3ではその出力に用いられる配線の図示は省略している。

【0022】次に、本実施の形態による半導体集積回路装置の回路構成について図4を用いて説明する。図4は、本実施の形態による半導体集積回路装置の半導体チ

8

ップ選択用の回路構成例を示す模式的な断面図である。図4に示すように、基板2上には半導体チップ4、5、6がこの順に積層されている。基板2乃至半導体チップ4、5、6までの電気的接続関係は、図1を用いて既に説明したのでその説明は省略し、各チップ内の回路構成について説明する。まず、チップ選択信号用の基板2上の電極端子27cからはチップ選択信号S0が出力され、チップ選択信号用の電極端子27dからはチップ選択信号S1が出力されるようになっている。

【0023】半導体チップ4の接続部8a、8bは、チップ内部に設けられたプルアップ抵抗70を介して電源Vdにそれぞれ接続されている。接続部8aは、パンプ12aを介してグラウンドに接続され、ロー(L)レベルの電位に維持されている。したがって、接続部8aからは、Lレベルの比較信号が出力される。同様に、接続部8bは、パンプ12bを介してグラウンドに接続され、Lレベルの電位に維持されている。したがって、接続部8bからは、Lレベルの比較信号が出力される。すなわち、半導体チップ4では、2つのLレベルの比較信号が生成されている。

【0024】半導体チップ4には、2つの排他的反転論理和(Ex-NOR)回路72、73と否定論理積(NAND)回路74とで構成された比較回路が形成されている。接続部8aはEx-NOR回路72の一方の入力端子に接続されており、接続部8bはEx-NOR回路73の一方の入力端子に接続されている。また、接続部9cはEx-NOR回路73の他方の入力端子に接続されており、接続部9dはEx-NOR回路72の他方の入力端子に接続されている。

【0025】Ex-NOR回路72の出力端子はNAND回路74の一方の入力端子に接続されており、Ex-NOR回路73の出力端子はNAND回路74の他方の入力端子に接続されている。NAND回路74からは、出力信号S2が出力される。出力信号S2がLレベルになると半導体チップ4は動作チップとして機能し、半導体チップ4内のメモリ回路は所定の電極端子を介して種々のコマンドやデータの入力を受け付けるようになる。

【0026】半導体チップ5には、半導体チップ4と同様に、2つのEx-NOR回路75、76と、両Ex-NOR回路75、76の出力信号が入力されるNAND回路77とで構成される比較回路が形成されている。NAND回路77からは、出力信号S3が出力される。出力信号S3がLレベルになると半導体チップ5は動作チップとして機能し、半導体チップ5内のメモリ回路は所定の電極端子を介して種々のコマンドやデータの入力を受け付けるようになる。

【0027】半導体チップ5の接続部15bは、接続部8aを介してグラウンドに接続され、Lレベルの電位に維持されている。したがって、接続部15bからは、Lレベルの比較信号が出力される。一方、接続部15aは、

(6)

9

グラウンドに接続されていないため、プルアップ抵抗70を介して接続された電源Vdによりハイ(H)レベルの電位に維持されている。したがって、接続部15aからは、Hレベルの比較信号が出力される。すなわち、半導体チップ5では、LレベルとHレベルの比較信号が生成されている。

【0028】半導体チップ6には、半導体チップ4、5と同様に、2つのEx-NOR回路78、79と、両Ex-NOR回路78、79の出力信号が入力されるNAND回路80とで構成される比較回路が形成されている。NAND回路80からは、出力信号S4が出力される。出力信号S4がLレベルになると半導体チップ6は動作チップとして機能し、半導体チップ6内のメモリ回路は所定の電極端子を介して種々のコマンドやデータの入力を受け付けるようになる。

【0029】半導体チップ6の接続部17a、17bは、グラウンドに接続されていないため、プルアップ抵抗70を介して接続された電源VdによりHレベルの電位に維持されている。したがって、接続部17a、17bからは、共にHレベルの比較信号が出力される。すなわち、半導体チップ6では、Hレベルの比較信号のみが生成されている。

【0030】次に、上記構成に基づく本実施の形態による半導体チップ選択方法について説明する。まず、基板2のチップ選択信号用の電極端子27c、27dから出力されるチップ選択信号S0、S1が、共にLレベル

(0)になった場合について説明する。半導体チップ4のEx-NOR回路72の入力端子には接続部8aからLレベルの比較信号が入力し、他入力端子には接続部9dからLレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路72の出力信号はHレベルになる。一方、Ex-NOR回路73の入力端子には接続部8bからLレベルの比較信号が入力し、他入力端子には接続部9cからLレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路73の出力信号はHレベルになる。NAND回路74の入力端子にはEx-NOR回路72からHレベルの信号が入力し、他入力端子にはEx-NOR回路73からHレベルの信号が入力する。したがって、NAND回路74の出力信号S2はLレベルになる。

【0031】半導体チップ5のEx-NOR回路75の入力端子には接続部15aからHレベルの比較信号が入力し、他入力端子には接続部16dからLレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路75の出力信号はLレベルになる。一方、Ex-NOR回路76の入力端子には接続部15bからLレベルの比較信号が入力し、他入力端子には接続部16cからLレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路76の出力信号はHレベルになる。NAND回路77の入力端子にはEx-NOR回

10

路75からLレベルの信号が入力し、他入力端子にはEx-NOR回路76からHレベルの信号が入力する。したがって、NAND回路77の出力信号S3はHレベルになる。

【0032】半導体チップ6のEx-NOR回路78の入力端子には接続部17aからHレベルの比較信号が入力し、他入力端子には接続部18dからLレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路78の出力信号はLレベルになる。一方、Ex-NOR回路79の入力端子には接続部17bからHレベルの比較信号が入力し、他入力端子には接続部18cからLレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路79の出力信号はLレベルになる。NAND回路80の入力端子にはEx-NOR回路78からLレベルの信号が入力し、他入力端子にはEx-NOR回路79からLレベルの信号が入力する。したがって、NAND回路80の出力信号S4はHレベルになる。以上のように、チップ選択信号S0、S1が共にLレベルになった場合は、半導体チップ4からの出力信号S2のみがLレベルになるため、半導体チップ4を動作チップとして選択できる。

【0033】次に、電極端子27cから出力されるチップ選択信号S0がLレベルになり、電極端子27dから出力されるチップ選択信号S1がHレベル(1)になった場合について説明する。半導体チップ4のEx-NOR回路72の入力端子には接続部8aからLレベルの比較信号が入力し、他入力端子には接続部9dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路72の出力信号はLレベルになる。一方、Ex-NOR回路73の入力端子には接続部8bからLレベルの比較信号が入力し、他入力端子には接続部9cからLレベルのチップ選択信号S0が入力される。したがって、Ex-NOR回路73の出力信号はHレベルになる。NAND回路74の入力端子にはEx-NOR回路72からLレベルの信号が入力し、他入力端子にはEx-NOR回路73からHレベルの信号が入力する。したがって、NAND回路74の出力信号S2はHレベルになる。

【0034】半導体チップ5のEx-NOR回路75の入力端子には接続部15aからHレベルの比較信号が入力し、他入力端子には接続部16dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路75の出力信号はHレベルになる。一方、Ex-NOR回路76の入力端子には接続部15bからLレベルの比較信号が入力し、他入力端子には接続部16cからLレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路76の出力信号はHレベルになる。NAND回路77の入力端子にはEx-NOR回路75からHレベルの信号が入力し、他入力端子にはEx-NOR回路76からHレベルの信号が入力する。し



(7)

11

たがって、NAND回路77の出力信号S3はLレベルになる。

【0035】半導体チップ6のEx-NOR回路78の一入力端子には接続部17aからHレベルの比較信号が入力し、他入力端子には接続部18dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路78の出力信号はHレベルになる。一方、Ex-NOR回路79の一入力端子には接続部17bからHレベルの比較信号が入力し、他入力端子には接続部18cからLレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路79の出力信号はLレベルになる。NAND回路80の一入力端子にはEx-NOR回路78からHレベルの信号が入力し、他入力端子にはEx-NOR回路79からLレベルの信号が入力する。したがって、NAND回路80の出力信号S4はHレベルになる。以上のように、チップ選択信号S0がLレベルになり、チップ選択信号S1がHレベルになった場合は、半導体チップ5からの出力信号S3のみがLレベルになるため、半導体チップ5を動作チップとして選択できる。

【0036】次に、電極端子27c、27dから出力されるチップ選択信号S0、S1が共にHレベルになった場合について説明する。半導体チップ4のEx-NOR回路72の一入力端子には接続部8aからLレベルの比較信号が入力し、他入力端子には接続部9dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路72の出力信号はLレベルになる。一方、Ex-NOR回路73の一入力端子には接続部8bからLレベルの比較信号が入力し、他入力端子には接続部9cからHレベルのチップ選択信号S0が入力される。したがって、Ex-NOR回路73の出力信号はLレベルになる。NAND回路74の一入力端子にはEx-NOR回路72からLレベルの信号が入力し、他入力端子にはEx-NOR回路73からLレベルの信号が入力する。したがって、NAND回路74の出力信号S2はHレベルになる。

【0037】半導体チップ5のEx-NOR回路75の一入力端子には接続部15aからHレベルの比較信号が入力し、他入力端子には接続部16dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路75の出力信号はHレベルになる。一方、Ex-NOR回路76の一入力端子には接続部15bからLレベルの比較信号が入力し、他入力端子には接続部16cからHレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路76の出力信号はLレベルになる。NAND回路77の一入力端子にはEx-NOR回路75からHレベルの信号が入力し、他入力端子にはEx-NOR回路76からLレベルの信号が入力する。したがって、NAND回路77の出力信号S3はHレベルになる。

12

【0038】半導体チップ6のEx-NOR回路78の一入力端子には接続部17aからHレベルの比較信号が入力し、他入力端子には接続部18dからHレベルのチップ選択信号S1が入力する。したがって、Ex-NOR回路78の出力信号はHレベルになる。一方、Ex-NOR回路79の一入力端子には接続部17bからHレベルの比較信号が入力し、他入力端子には接続部18cからHレベルのチップ選択信号S0が入力する。したがって、Ex-NOR回路79の出力信号はHレベルになる。NAND回路80の一入力端子にはEx-NOR回路78からHレベルの信号が入力し、他入力端子にはEx-NOR回路79からHレベルの信号が入力する。したがって、NAND回路80の出力信号S4はLレベルになる。以上のように、チップ選択信号S0、S1が共にHレベルになった場合は、半導体チップ6からの出力信号S4のみがLレベルになるため、半導体チップ6を動作チップとして選択できる。

【0039】これらをまとめると、表1乃至表3のようになる。表1乃至表3は、チップ選択信号S0、S1に基づいて出力される出力信号S2、S3、S4を示している。表1は半導体チップ4からの出力信号S2を示しており、表2は半導体チップ5からの出力信号S3を示している。また、表3は半導体チップ6からの出力信号S4を示している。

【0040】

【表1】

S0	S1	S2	
L	L	L	選択
L	H	H	
H	L	H	
H	H	H	

【0041】

【表2】

S0	S1	S3	
L	L	H	
L	H	L	選択
H	L	H	
H	H	H	

【0042】

【表3】



(8)

13

S 0	S 1	S 4	
L	L	H	
L	H	H	
H	L	H	
H	H	L	選択

【0043】本実施の形態では、基板2の基準信号用の電極端子27a、27bに電氣的に接続される電極端子の端子数が、各半導体チップ4、5、6でそれぞれ異なっている。これにより、各半導体チップ4、5、6にはそれぞれ異なる組合せの基準信号が供給されるため、各半導体チップ4、5、6に共通のチップ選択信号が供給されてもそれぞれ異なる比較信号が生成される。したがって、同一の配線パターンが形成された複数の半導体チップ4、5、6が積層されても、チップ選択信号と比較信号とを所定の比較回路で比較することにより所望の半導体チップ4、5、6を動作チップとして選択できるようになる。

【0044】次に、本発明の第2の実施の形態による半導体集積回路装置について図5を用いて説明する。図5は、本実施の形態による半導体集積回路装置の構成を示す断面図である。図5に示すように、基板2'表面には、複数の電極端子27a～27oが例えば所定のピッチPで配置されている。基準信号用の電極端子（第3の電極端子）27a、27bはグランドに接続されている。チップ選択信号用の電極端子27c、27dからはチップ選択信号が出力されるようになっている。また、電極端子27e～27oからは、例えば各バンク内のアドレス信号、クロック信号、クロックイネーブル信号や、その他メモリ回路で用いられるコマンド信号及び所定のデータ信号等が各半導体チップ4'、5'、6'に出力されるようになっている。

【0045】また、基板2'上の半導体チップ4'表面（図中下方）には、電極端子27a、27bに対向するように、基準信号用の電極端子（第4の電極端子）28a、28bが配置されている。同様に、電極端子27c～27nに対向するように電極端子28c～28oが配置されている。基板2'と半導体チップ4'とは、複数のバンプ12a～12oを介して貼り合わされている。これにより、基板2'の電極端子27a～27oと半導体チップ4'の電極端子28a～28oとがそれぞれ電氣的に接続される。このとき、半導体チップ4'の基準信号用の電極端子28aはバンプ12aを介してグランドに接続され、電極端子28bはバンプ12bを介してグランドに接続される。

【0046】半導体チップ4'裏面（図中上方）には、電極端子28a'～28o'が配置されている。基準信号用の電極端子28a'は、接続部9aを介して表面の電極端子28aに電氣的に接続されている。電極端子2

14

8b'は、接続部9bを介して表面の電極端子28bに電氣的に接続されている。同様に、電極端子28c～28oは、接続部9c～9oを介して電極端子28c'～28o'にそれぞれ電氣的に接続されている。接続部9a～9oは、半導体チップ4'表面にほぼ垂直に半導体チップ4'を貫通しているビアホールと、当該ビアホール内に埋め込まれた接続導体とで構成されている。

【0047】半導体チップ4'上に配置された半導体チップ5'は、半導体チップ4'と同一の構成を有している。半導体チップ5'の表面には、電極端子29a～29oが配置されている。半導体チップ5'の裏面には、電極端子29a'～29o'が配置されている。半導体チップ5'表面の電極端子（第4の電極端子）29aは、接続部16aを介して半導体チップ5'裏面の基準信号用の電極端子29a'に電氣的に接続されている。半導体チップ5'表面の電極端子（第4の電極端子）29bは、接続部16bを介して半導体チップ5'裏面の基準信号用の電極端子29b'に電氣的に接続されている。同様に、半導体チップ5'表面の電極端子29c～29oは、接続部16c～16oを介して半導体チップ5'裏面の電極端子29c'～29o'にそれぞれ電氣的に接続されている。

【0048】半導体チップ5'と半導体チップ4'とは、複数のバンプ13b～13oを介して貼り合わされている。これにより、半導体チップ5'表面の電極端子29b～29oと、半導体チップ4'裏面の電極端子28b'～28o'とがそれぞれ電氣的に接続される。このとき、基準信号用の電極端子29aと電極端子28a'との間にはバンプ13b～13oが形成されていないため、電極端子29aはグランドに接続された電極端子28a'に接続されない。したがって、基準信号用の電極端子29bのみがバンプ13b、接続部9b及びバンプ12bを介してグランドに接続される。

【0049】また、半導体チップ5'上に配置された半導体チップ6'は、半導体チップ4'、5'と同一の構成を有している。半導体チップ6'の表面には、電極端子30a～30oが配置されている。半導体チップ6'の裏面には、電極端子30a'～30o'が配置されている。半導体チップ6'表面の電極端子（第4の電極端子）30aは、接続部18aを介して半導体チップ6'裏面の基準信号用の電極端子30a'に電氣的に接続されている。半導体チップ6'表面の電極端子（第4の電極端子）30bは、接続部16bを介して半導体チップ6'裏面の基準信号用の電極端子30b'に電氣的に接続されている。同様に、半導体チップ6'表面の電極端子30c～30oは、接続部16c～16oを介して半導体チップ6'裏面の電極端子30c'～30o'にそれぞれ電氣的に接続されている。

【0050】半導体チップ6'と半導体チップ5'とは、複数のバンプ14c～14oを介して貼り合わされ

(9)

15

ている。これにより、半導体チップ6'表面の電極端子30c~30oと、半導体チップ5'裏面の電極端子29c'~29o'とは、それぞれ電氣的に接続される。このとき、基準信号用の電極端子30aと電極端子29a'との間にはバンプ14c~14oが形成されない。同様に、基準信号用の電極端子30bと電極端子29b'との間にはバンプ14c~14oが形成されない。このため、基準信号用の電極端子30a、30bは、グランドに接続された半導体チップ5'の電極端子29b'に接続されないため、電極端子30a、30bは共

【0051】上記のような基板2'乃至半導体チップ4'、5'、6'間の電氣的接続関係において、第1の実施の形態で説明した図4に示す回路構成と類似の比較回路を半導体チップ4'、5'、6'内に形成することにより、第1の実施の形態と同様の半導体チップ選択方法を用いて半導体チップ4'、5'、6'のいずれかを動作チップとして選択できる。

【0052】本実施の形態では、基板2'の基準信号用の電極端子27a、27bに電氣的に接続される各半導体チップ4'、5'、6'の電極端子の接続端子数が積層方向(上方)に向かって順に1つずつ減少するように、バンプ12a、12b、13bが配置されている。これにより、各半導体チップ4'、5'、6'にはそれぞれ異なる組合せの基準信号生成用の基準信号が供給されるため、各半導体チップ4'、5'、6'に共通のチップ選択信号が供給されてもそれぞれ異なる比較信号を生成できる。したがって、同一の配線パターンが形成された半導体チップ4'、5'、6'が積層されても、チップ選択信号と比較信号とを所定の比較回路で比較することにより半導体チップ4'、5'、6'のいずれかを

【0053】本発明は、上記実施の形態に限らず種々の変形が可能である。例えば、上記実施の形態では、基板と半導体チップ、又は2つの半導体チップは複数のバンプを用いて貼り合わされているが、本発明はこれに限らず、異方性導電膜(ACF; Anisotropic Conductive Film)等の他のチップ間接続部材を用いて貼り合わされていてもよい。

【0054】また、上記実施の形態では、比較回路は2つのEx-NOR回路と、両Ex-NOR回路の出力信号が入力されるNAND回路とで構成されているが、本発明はこれに限らず、Ex-OR回路を含む別の回路で構成することももちろん可能である。

【0055】また、上記実施の形態では、メモリ回路が形成された半導体チップ及びそれを用いた半導体集積回路装置を例に挙げたが、本発明はこれに限らず、CPUやシステムLSI等が形成された半導体チップ及びそれを用いた半導体集積回路にも適用できる。

【0056】以上説明した第1及び第2の実施の形態に

16

よる半導体チップ及びそれを用いた半導体集積回路装置及び半導体チップ選択方法は、以下のようにまとめられる。

(付記1) 所定ピッチで表面に配置され、比較回路においてチップ選択用のチップ選択信号と比較される比較信号を生成するための基準信号が入力する複数の第1の電極端子と、前記複数の第1の電極端子に対してそれぞれ1ピッチ分ずれて前記表面に対向する裏面に配置され、前記第1の電極端子に入力された前記基準信号を出力する複数の第2の電極端子と、前記1ピッチ分ずれた前記第1及び第2の電極端子間を電氣的に接続する接続部とを有することを特徴とする半導体チップ。

【0057】(付記2) 付記1記載の半導体チップにおいて、前記接続部は、階段状の断面形状を有していることを特徴とする半導体チップ。

【0058】(付記3) 付記1又は2に記載の半導体チップにおいて、前記チップ選択信号が入力するチップ選択信号用電極端子をさらに有し、前記チップ選択信号用電極端子は、前記第1の電極端子の端子数と同数形成されていることを特徴とする半導体チップ。

【0059】(付記4) 同一の配線パターンを有し、基板上に積層された複数の半導体チップと、前記基板及び複数の前記半導体チップとを貼り合わせて対向配置される電極端子間を電氣的に接続するチップ間接続部材とを有する半導体集積回路装置であって、前記半導体チップは、付記1乃至3のいずれか1項に記載の半導体チップであることを特徴とする半導体集積回路装置。

【0060】(付記5) 付記4記載の半導体集積回路装置において、前記チップ間接続部材はバンプであることを特徴とする半導体集積回路装置。

【0061】(付記6) チップ選択用のチップ選択信号と比較回路で比較される比較信号を生成するための基準信号を出力する複数の第3の電極端子を有する基板と、同一の配線パターンを有し、基板上に積層された複数の半導体チップと、前記複数の半導体チップに配置され、前記基準信号入力用の複数の第4の電極端子と、前記基板及び前記複数の半導体チップを貼り合わせるとともに、前記第3の電極端子に電氣的に接続される第4の電極端子の接続端子数が積層順に減少するように配置されたチップ間接続部材とを有することを特徴とする半導体集積回路装置。

【0062】(付記7) 付記6記載の半導体集積回路装置において、前記接続端子数は、積層順に1つずつ減少することを特徴とする半導体集積回路装置。

【0063】(付記8) 付記6又は7に記載の半導体集積回路装置において、前記基板は、前記チップ選択信号を出力するチップ選択信号用電極端子をさらに有し、前記チップ選択信号用電極端子は、前記第3の電極端子の端子数と同数形成されていることを特徴とする半導体集積回路装置。

(10)

17

【0064】（付記9）付記6乃至8のいずれか1項に記載の半導体集積回路装置において、前記チップ間接続部材はバンプであることを特徴とする半導体集積回路装置。

【0065】（付記10）同一の配線パターンを有して基板上に積層された複数の半導体チップにチップ選択信号を出力し、前記半導体チップ毎に生成された比較信号と前記チップ選択信号とに基づいて前記複数の半導体チップのいずれかを選択することを特徴とする半導体チップ選択方法。

【0066】（付記11）付記10記載の半導体チップ選択方法において、前記比較信号は、前記基板から供給される基準信号に基づいて、前記半導体チップ毎に生成されることを特徴とする半導体チップ選択方法。

【0067】（付記12）付記11載の半導体チップ選択方法において、前記比較信号は、前記半導体チップ毎に状態レベルの組合せが異なる複数の信号として生成されることを特徴とする半導体チップ選択方法。

【0068】

【発明の効果】以上の通り、本発明によれば、同一の配線パターンで複数積層されても、外部からのチップ選択信号で所定のチップ選択が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体集積回路装置の構成を示す断面図である。

【図2】本発明の第1の実施の形態による半導体チップの主要部の回路構成を模式的に示す概念図である。

【図3】本発明の第1の実施の形態による半導体チップの一部の構成を示す断面図である。

18

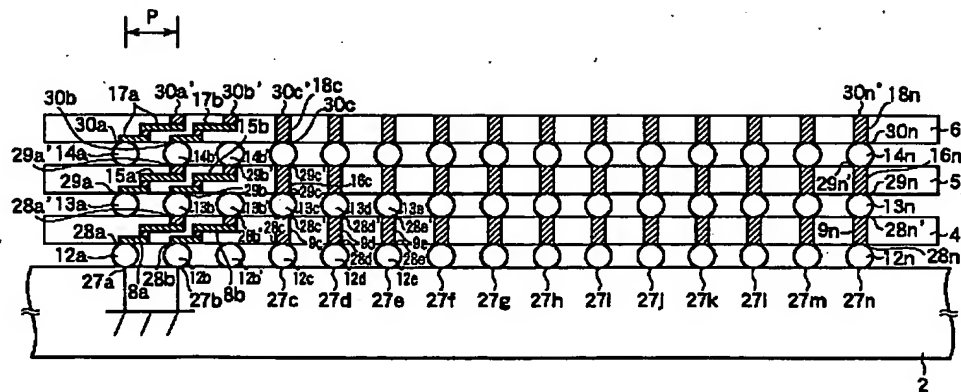
【図4】本発明の第1の実施の形態による半導体集積回路装置の半導体チップ選択用の論理回路を示す模式的な断面図である。

【図5】本発明の第2の実施の形態による半導体集積回路装置の構成を示す断面図である。

【符号の説明】

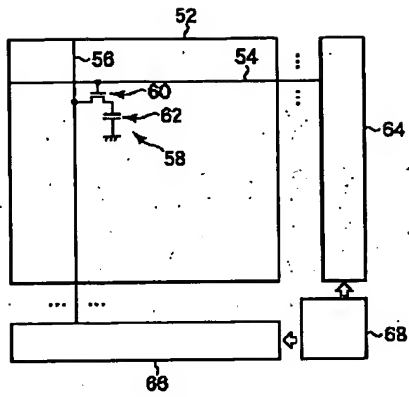
- 2 基板
- 4、5、6 半導体チップ
- 8、9、15、16、17、18 接続部
- 12、13、14 バンプ
- 20 Si基板
- 22、31 絶縁膜
- 24、32、42、43 ピアホール
- 26、34 配線
- 27、28、29、30 電極端子
- 52 メモリセル部
- 54 ワード線
- 56 ビット線
- 58 メモリセル
- 60 トランジスタ
- 62 キャパシタ
- 64 ローデコーダ
- 66 コラムデコーダ
- 68 入出力制御回路
- 70 ブルアップ抵抗
- 72、73、75、76、78、79 Ex-NOR回路
- 74、77、80 NAND回路

【図1】

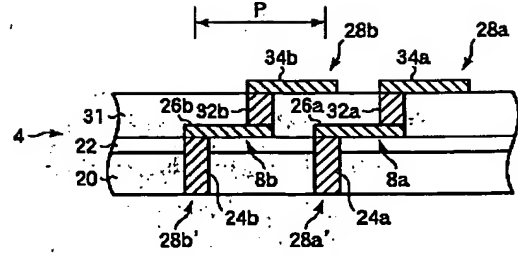


(11)

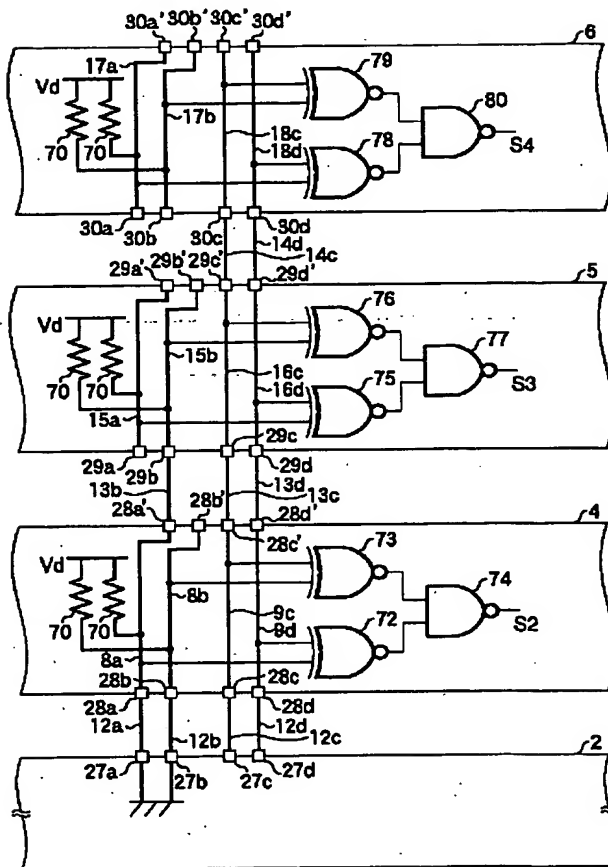
【図2】



【図3】

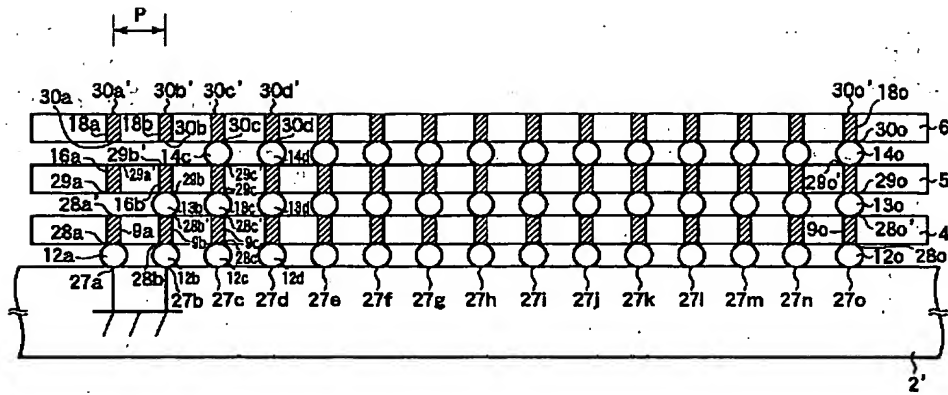


【図4】



(12)

【図5】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H 0 1 L 27/04

27/10

27/108

識別記号

4 9 5

F I

テーマコード\* (参考)